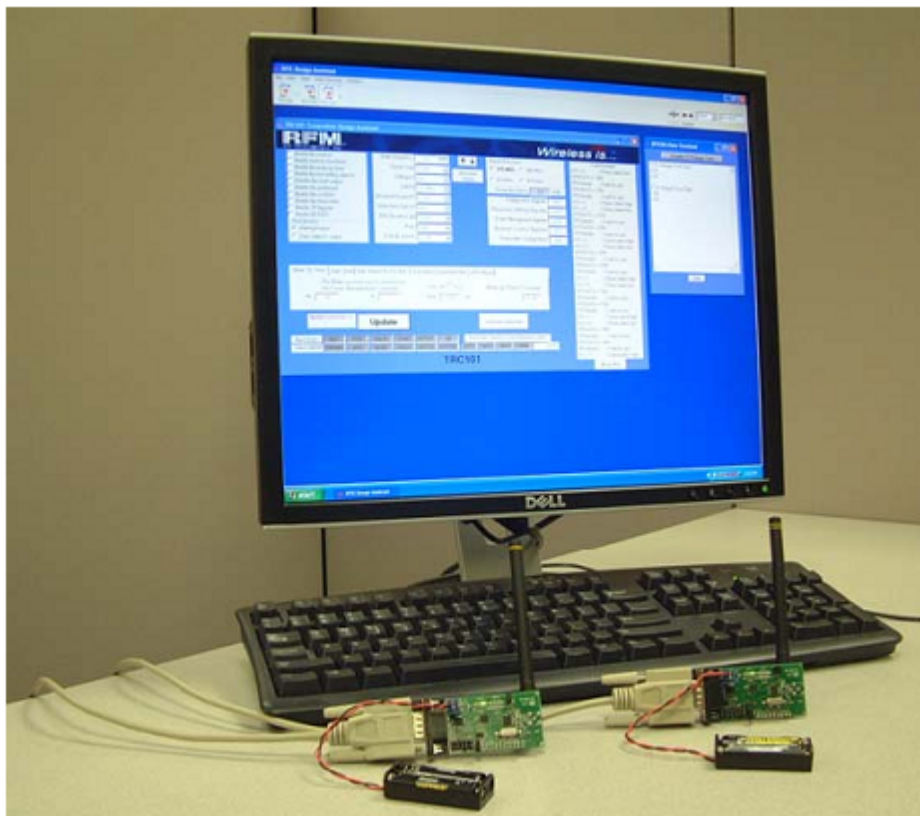


Конфигурация Радиочастотных Модулей

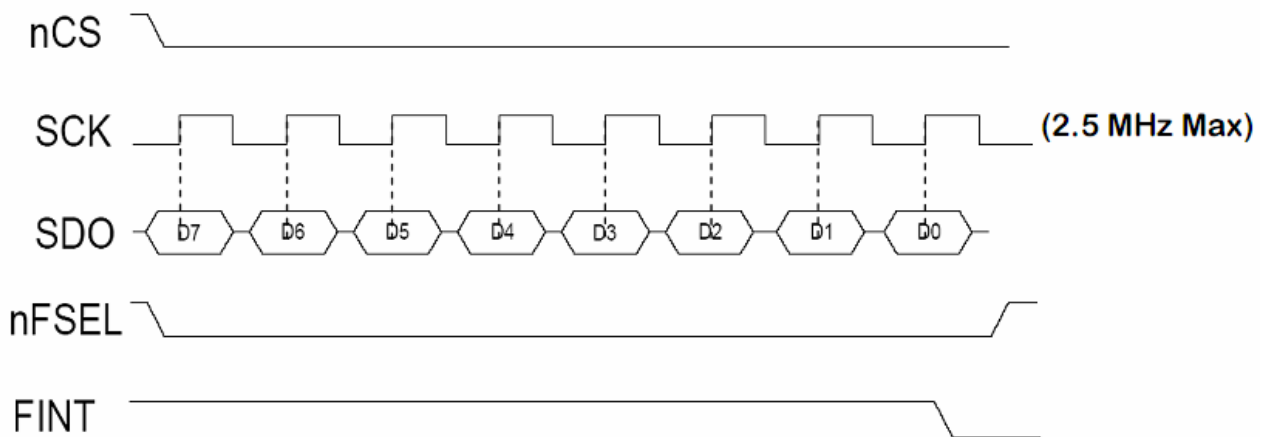


Конфигурация RXC 101

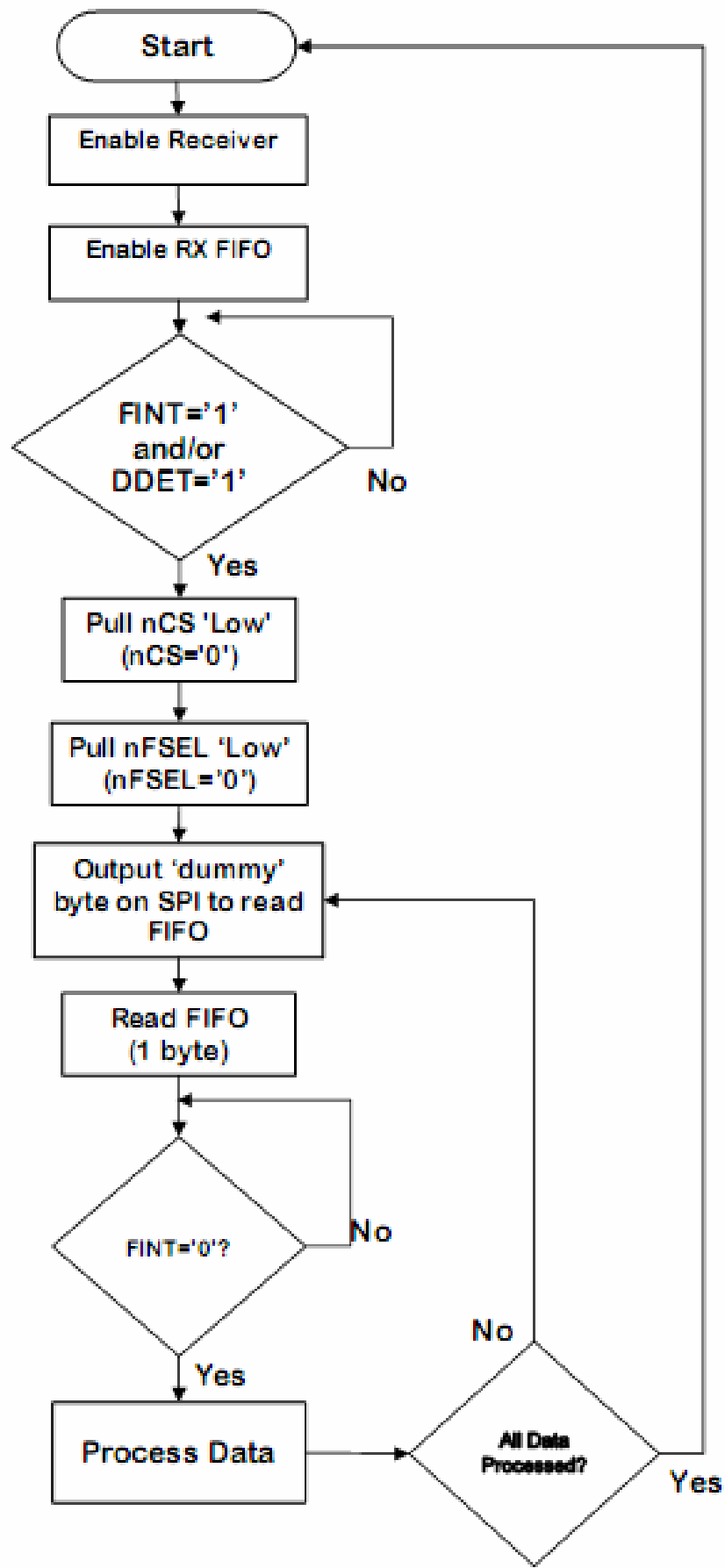
Когда RXC 101 сконфигурирован в микроконтроллерном режиме, данные могут быть прочитаны тремя способами; непосредственно из вывода данных (PIN 6), с помощью внутреннего приемного буфера FIFO, либо чтением Регистра Статуса (Status Register). Лучшим способом, при минимальных усилиях, является использование внутреннего FIFO для получения данных.

FIFO может быть прочитан с использованием порта SPI и соответствующих выводов nCS, SDO, SDI и SCK, лучше с использованием nFSEL (pin 6) и FINT (pin 7). nFSEL используется только в том случае, когда разрешен внутренний буфер FIFO (FIFO Configuration Register bit 0), эта ножка должна быть подтянута в низкий уровень во время доступа к FIFO регистру. nFINT может использоваться, как прерывание «FIFO Переполнен», для пробуждения процессора или периодического участия процессора. На nFINT (pin 7) устанавливается высокий логический уровень, после того как FIFO переполнен предустановленным лимитом битов, находящихся в [FINT 7..4] FIFO Configuration Register. После того, как SPI порт разрешен подтяжкой в низкий уровень ножки nCS, тактирование начинается на выводе SCK и данные могут быть прочитаны по выводу SDO, каждый бит защелкивается по восходящему фронту SCK. **Максимальная частота тактирования, для чтения FIFO это $F_{Xtal}/4$ или $SCK < 2,5 \text{ MHz}$, при частоте кварцевого резонатора в 10 МГц.** Попытка чтения FIFO быстрее, будет чревато ошибками данных.

Рекомендуемый способ чтения FIFO приведен ниже:

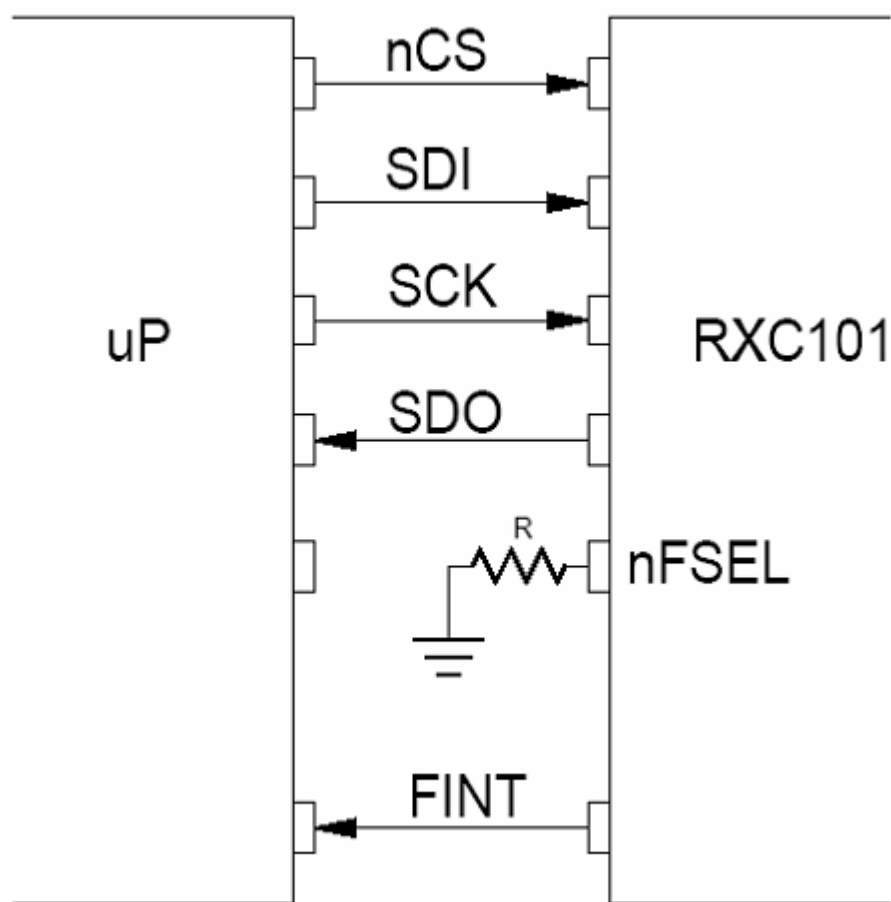


Следующая блок-схема может быть использована , как руководство по записи кода, для чтения FIFO



Минимальная конфигурация (Подключение)

Минимальная конфигурация использует только 5 проводников.



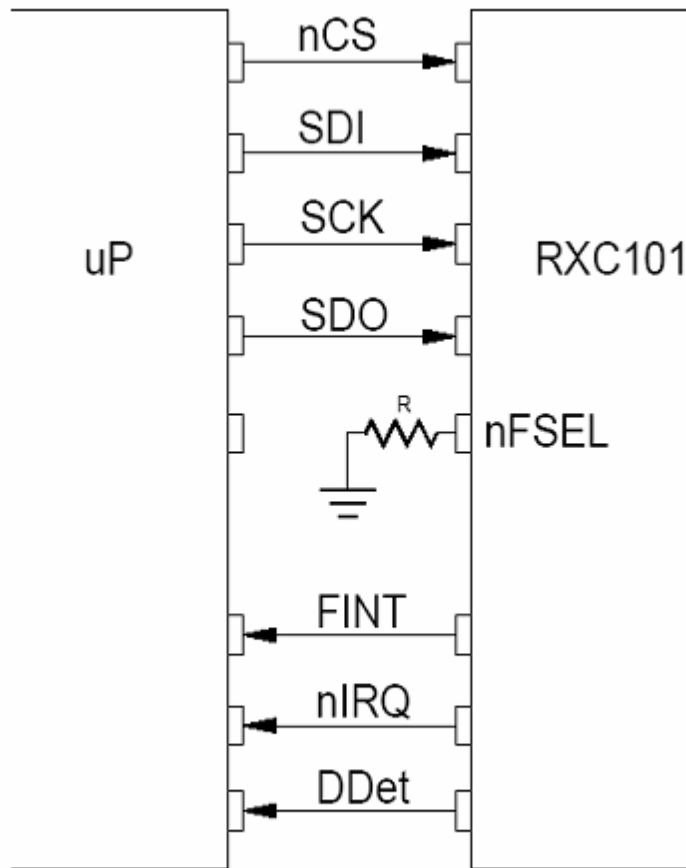
nFSEL используется для выбора внутреннего буфера FIFO, если FIFO разрешен.

Если внутренний FIFO будет использоваться для приема данных, эта ножка может быть подтянута к высокому уровню внешним подтягивающим резистором 10кОм, таким образом сохраняется дополнительный процессорный вывод. FINT может использоваться, как прерывание оповещающее о том, что FIFO готов к чтению. Это предрасполагает к тому, что процессор может находиться в спящем режиме, или обрабатывать другие операции, пока не возникнет условие готовности FIFO к чтению.

Конфигурация базированная на прерываниях

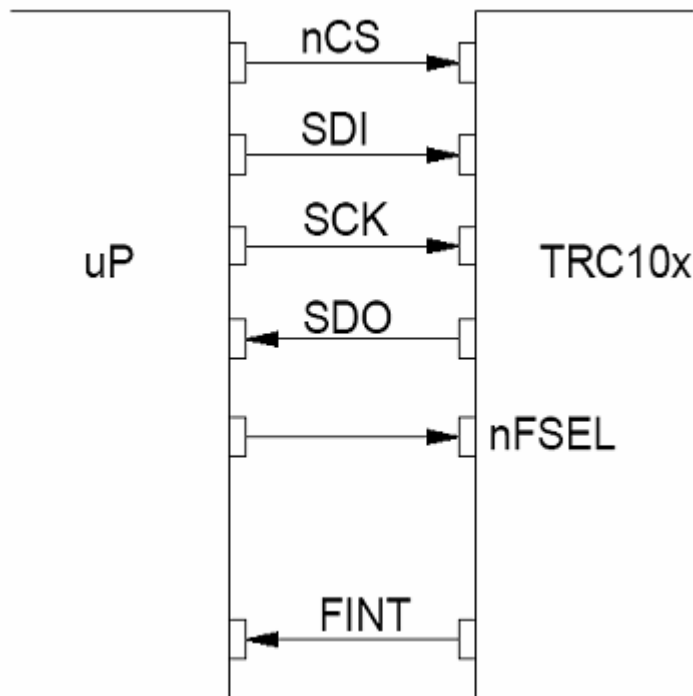
Данная конфигурация использует вывод nIRQ, извещающий о чтении Статус Битов.

Состояние внутреннего FIFO вызывает подтяжку к низкому уровню вывода nIRQ. При чтении битов состояния (Status Register) первый бит индицирует, не переполнен ли внутренний буфер FIFO предустановленным количеством битов.

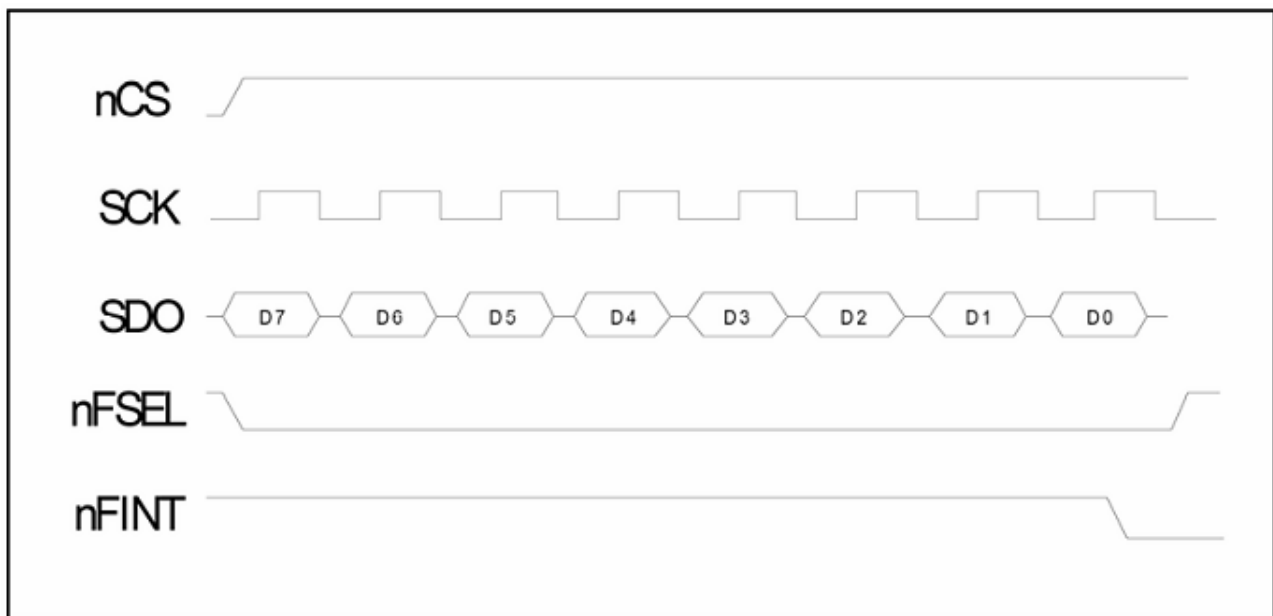


TRC 10x Конфигурация приема

Когда TRC10x сконфигурирован в микроконтроллерном режиме, данные могут быть приняты тремя способами; непосредственно с ножки Data (pin 6), через внутренний приемный буфер FIFO, либо через чтение регистра статуса (Status Register). Наилучшим методом, сопровождаемым минимальными усилиями будет использование внутреннего FIFO для приема.



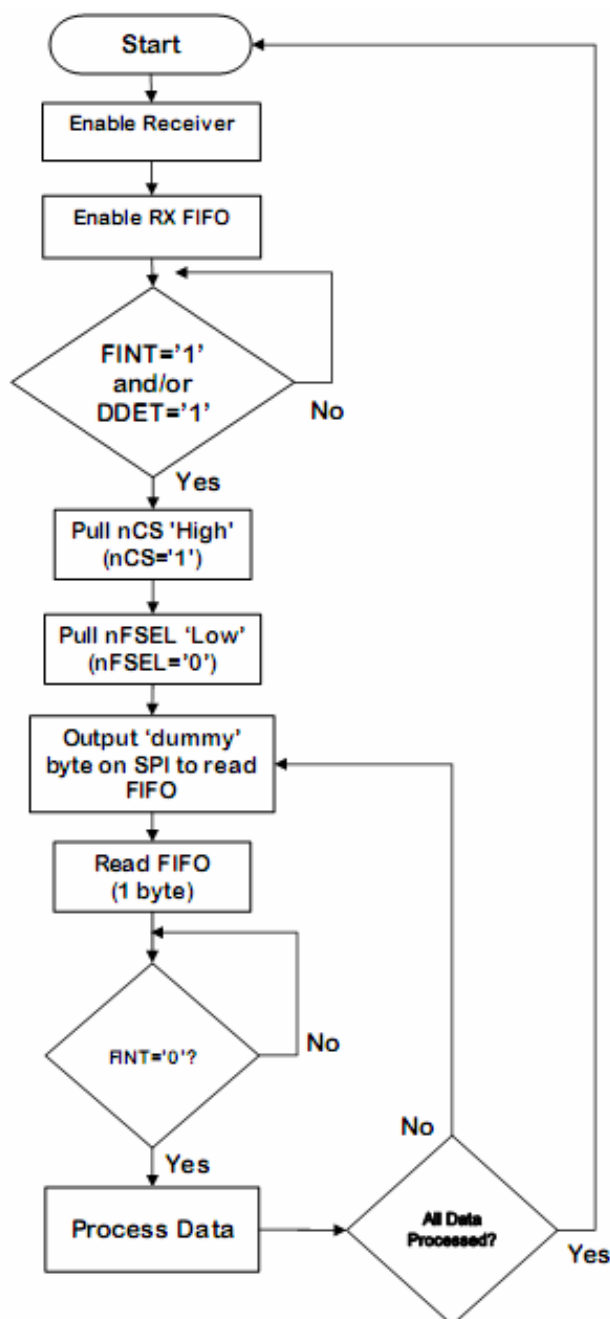
Конфигурация приема TRC10x приведенная ниже аналогична для RXC101. Выводы и функции буфера FIFO идентичны ЗА ИСКЛЮЧЕНИЕМ состояния вывода nCS.



В том случае, когда доступ к FIFO непосредственный, а не через регистр чтения FIFO (FIFO Read Register), nCS устанавливается в высокий уровень на время процесса чтения. С каждым восходящим фронтом SCK устанавливается принятый бит на выводе SDO. Чтение вывода SDO после каждого восходящего фронта даст возможность читать состояние текущего бит.

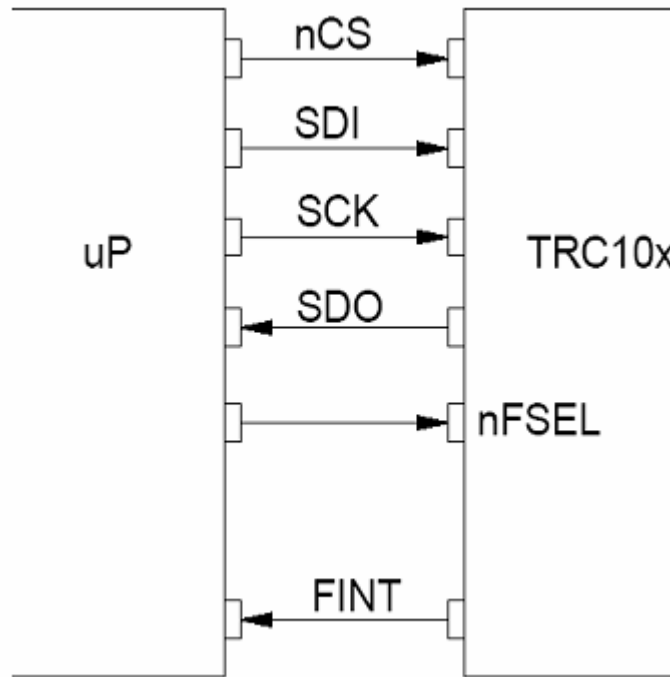
Вывод nFSEL используется для разрешения внутреннего буфера FIFO для чтения (Configuration Register bit 6 SET) или регистра передачи, для передачи (Configuration Register bit 7 SET). Оба этих бита могут быть установлены в одно время, для быстрого переключения между режимами. Подтяжка вывода nFSEL к низкому уровню разрешает внутренний приемный буфер FIFO для того чтобы осуществить прием. Подтяжка nFSEL к высокому уровню регистра передачи передачу данных. Вывод nFSEL должен удерживаться в низком логическом уровне во время остальных операций с данными.

Следующая блок-схема может быть использована как пример для написания кода для чтения FIFO



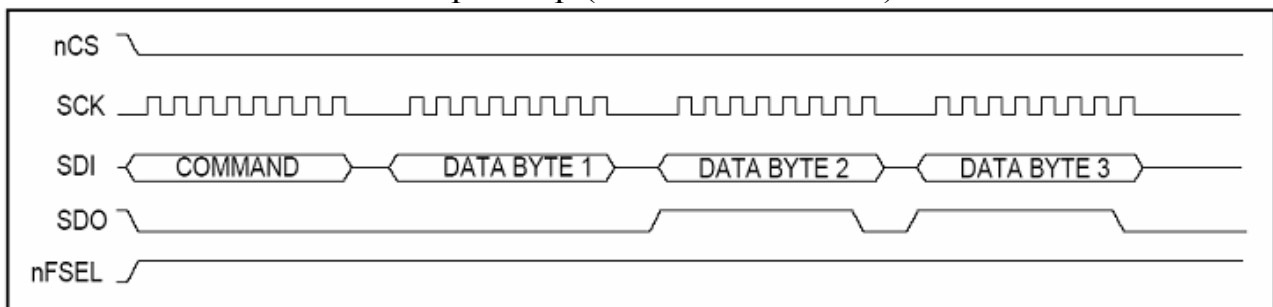
TRC10x Конфигурация передачи

Когда TRC10x сконфигурирован в микроконтроллерном режиме, данные могут быть отправлены двумя способами; непосредственно через вывод данных (Data pin 6) либо непосредственно через внутренний регистр передачи (Transmit Register). Лучший метод, сопровождаемый наименьшими усилиями это использование внутреннего регистра передачи (Transmit Register). TRC10x синхронизирует последовательность времени между битами и посылает каждый бит соответственно с временем посылки, установленного в регистре скорости передачи данных (Data Rate Setup Register).



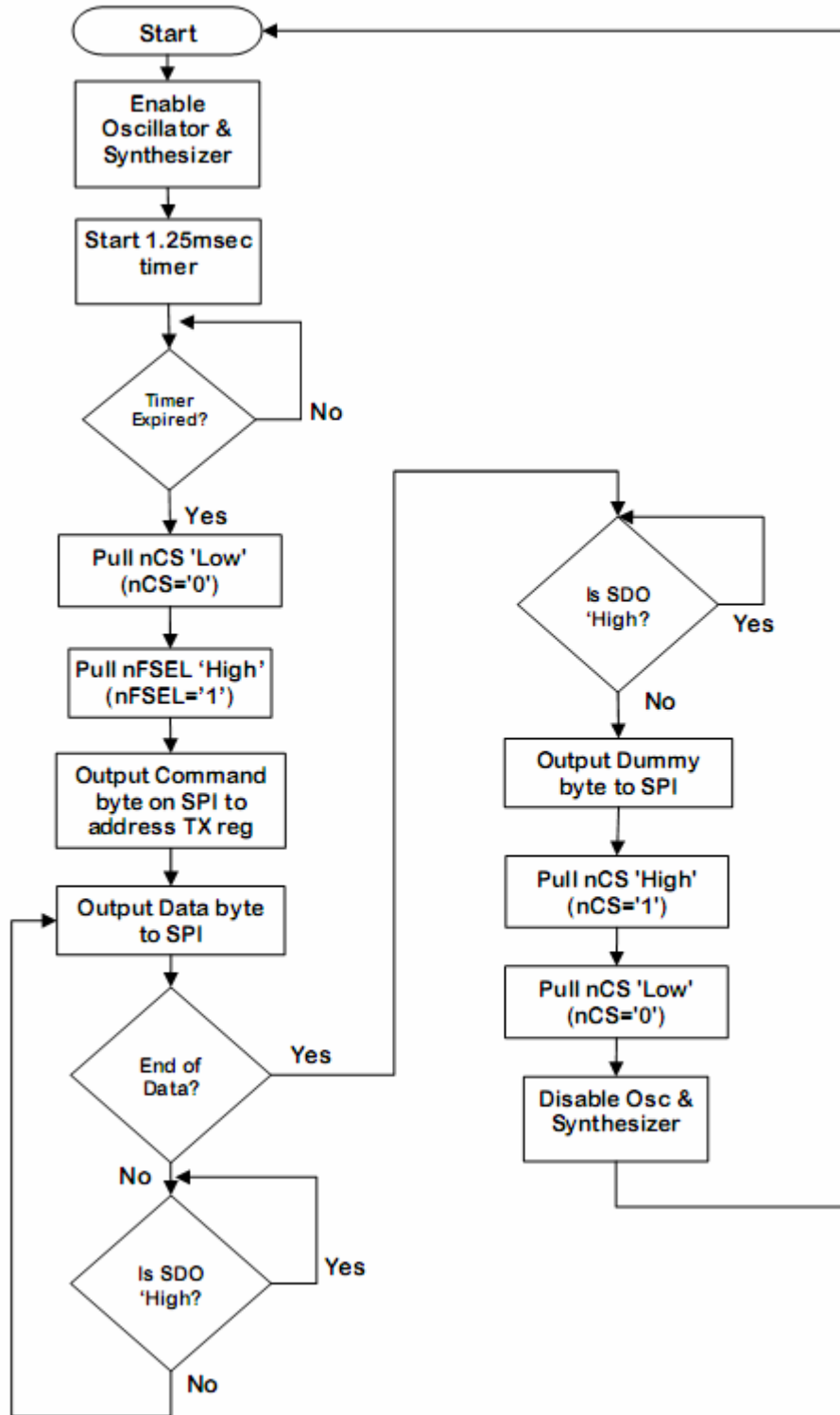
Вывод nFSEL разрешает либо внутренний приемный буфер FIFO для приема, либо регистр передачи для передачи. Подтяжка вывода nFSEL к низкому логическому уровню, разрешает внутреннему буферу FIFO прием. Подтяжка вывода nFSEL к высокому логическому уровню, разрешает регистру передачи передачу данных. nFSEL должен находиться в высоком логическом уровне при совершении других операций с данными.

Регистр передачи (Transmit Register) содержит 8 передающих бит. Бит 7 в регистре конфигурации (Configuration Register) должен быть установлен в 1 (high) для их использования. Когда бит 5 в Power Management Register установлен то передача начинается немедленно. Вывод SDO может быть индикатором для того, чтобы видеть когда следующий байт данных может быть записан в регистр (SDO логическая 1).



Продолжительный доступ к регистру передачи обеспечивается удержанием вывода nCS в низком уровне, на время продолжительности потока данных. При первом спадающем фронте вывода nCS команда регистра должна посылаться как обычно. Последующий байт записывается в регистр непосредственно без записи командного байта. Вывод SDO может использоваться как флаг Опустошения Регистра Передачи, для записи последующего байта.

Следующая блок-схема может быть использована как руководство по записи в Регистр Передачи, для передачи данных



RFIC Калибровка

RF VCO в синтезаторе (PLL) выполняет автоматическую калибровку при старте, что требует всего несколько микросекунд. Калибровка происходит постоянно как только начинает работу синтезатор. Если температура и напряжение питания подвержены изменению, то перекалибровка синтезатора может быть выполнена его переподключением (отключением и последующим включением). Перекалибровка синтезатора также рекомендуется когда изменяется частотный диапазон.